

# 基于全集成自提取结终端隔离 BCD 新工艺 的场致发光高压驱动芯片

黄 伟<sup>1</sup>, 胡南中<sup>1</sup>, 李海鸥<sup>1,2</sup>, 于宗光<sup>1</sup>

(1. 中国电子科技集团公司第五十八研究所, 江苏无锡 214035; 2. 桂林电子科技大学信息与通信学院, 广西桂林 541004)

**摘 要:** 本文提出可集成自提取结终端的 0.35 $\mu\text{m}$  150V-BCD(双极-互补金属氧化物半导体-双重扩散金属氧化物半导体)全套新型高压工艺. 利用此工艺研制出 100V 场致发光用高低侧驱动芯片, 并提出了基于双极器件 BC(双极集电极)结短路自提取结终端新工艺与新结构, 既可满足场致发光高压驱动芯片应用, 又能取代传统采用氧化扩散工艺的 P-ISO(P 型隔离结构)传统隔离结构, 显著简化了工艺和提高了芯片的高集成度, 确保片内集成的低电阻率 VDN-MOS/LDPMOS(N 型垂直双扩散金属氧化物半导体场效应晶体管/P 型横向扩散金属氧化物半导体场效应晶体管)高压驱动模块与低压逻辑控制模块在 100V 高压脉冲交替工作状况下无负电位、EMMI(微光显微镜)等寄生现象出现.

**关键词:** BCD(双极-互补金属氧化物半导体-双重扩散金属氧化物半导体); 场致发光; 自提取结终端; 高低侧全桥驱动

中图分类号: TN43 文献标识码: A 文章编号: 0372-2112(2013)09-1858-05

电子学报 URL: <http://www.ejournal.org.cn> DOI: 10.3969/j.issn.0372-2112.2013.09.31

## HV-EL Drivers ICs on Novel HV-BCD Process Platform with Self-Extracted JTE Trench Termination

HUANG Wei<sup>1</sup>, HU Nan-zhong<sup>1</sup>, LI Hai-ou<sup>1,2</sup>, YU Zong-guang<sup>1</sup>

(1. The 58th Research and Scientific Institute, China Electronic Technology Group Corporation, Wuxi, Jiangsu 214035, China;

2. Information and Communication College, Guilin University of Electronic Technology, Guilin, Guangxi 541004, China)

**Abstract:** A high voltage BCD(Bipolar-CMOS-DMOS)technology by using self-extracted JTE(Junction Termination Extension)trench isolation based on 0.35 $\mu\text{m}$  standard CMOS(Complementary Metal Oxide Semiconductor)process has been developed for LCD(Liquid Crystal Display)backlight application. In this technology, HV(High Voltage)circuit block, including low cost VDN-MOS(Vertical Double Diffused N-MOS)and LDPMOS(Laterally Diffused P-MOS)with resurf principle, and LV(Low Voltage)block are integrated together. Advanced deep trench isolation technology which has higher integration than conventional P-type isolation is firstly implemented to protect LV block from HV block and sustain the  $dv/dt$ ,  $di/dt$  effect with self-extracted function. The breakdown voltage is above 150V. Finally, it is shown that the performance of designed IC driver can satisfy the EL(Electroluminescent Lamps)lamp application with frequency at least 400Hz of the switch signal and the power supply is about 100V. For the simplicity of the silicon technology, the cost is saved.

**Key words:** bipolar-CMOS-DMOS(BCD); electroluminescent lamps(EL); self-extracted JTE trench(SEJTET); full-bridge

## 1 引言

近些年,很多便携式消费类半导体电子产品如 I-PHONE 手机,已成为百姓在信息社会中交往的必备品. 场致发光因材料薄层出光一致性好,低功耗,且有比 LED 显示更低的成本优势,已成为容性平板显示的关键技术之一.

通常场致发光源是由三明治磷光体结构构成,并偏

置于电极两端的电容负载. 该负载特点决定了此类 EL 显示驱动芯片需采用集成 LDMOS 等高压器件且被广泛应用于等离子显示驱动的 HV-BCD SOI 高压工艺,来避免衬底耦合等异常现象发生<sup>[1~3]</sup>. 但随着人们对显示色彩丰富性与逼真度的不断追求,EL 显示驱动芯片需驱动数量众多的场致发光电容负载,这导致 SOI 芯片面积明显增大和成本显著攀升. 因此,开发满足 EL 驱动应用的硅基高压工艺技术对发展我国硅基高压功率半导

体技术和降低芯片成本是关键所在.通常硅基外延 BCD 高压技术采用上-下对通 P 型隔离结构降低表面电场,实现芯内的高低电压模块电学隔离.而在形成上-下对通 P 型隔离结构(P-ISO)需经历长时间的高温氧化过程,这不但会发生自掺杂效应引起器件性能漂移,而且还会在杂质横向扩展中诱发大量的缺陷,导致芯片良率明显下降.深槽隔离结构因可缩小芯片尺寸和提高芯片集成度,在存储芯片中最先使用.近些年,研究人员发现深槽隔离结构在消除菱角电场、提高器件性能和芯片良率有着比 P-ISO 隔离结构更为明显的优势,故在以 MOSFET、IGBT 为代表的功率半导体中被广泛采用<sup>[4-6]</sup>.本文提出了集成自提取结终端、新结构 VDNMOS/LDMOS 高压器件的硅基 BCD 整套高压工艺,并研制出 8 通道高低侧 EL 驱动芯片,有效避免了深槽 BC

结短路新结构出现负电位、热点等异常现象.

## 2 工艺开发与器件研制

本套高压工艺是基于  $0.35\mu\text{m}$  标准 CMOS 开发的.图 1 给出厚度为  $14\mu\text{m}$  N 型外延层的整套 HV-BCD 高低压模块剖面图.图 2 给出了整套工艺主要工艺流程.整套工艺是由 21 步组成,包括材料外延、高压工艺模块和低压工艺模块三部分.Pdrift 高压工艺为 VDNMOS/LDMOS 互补型高压器件共享的耐压新结构,可同时降低两种器件的表面峰值电场.整套工艺可提供用于数模逻辑控制的 LVN/PMOS 低压器件( $V_{DS}:3.3\text{V}$ ),提升电压缓冲级 MVN/PMOS 中压器件( $V_{DS}:5\text{V}$ )和高电压驱动级 LDPMS( $V_{DS}:100\text{V}$ )/VDNMOS( $V_{DS}:100\text{V}$ )三种应用.

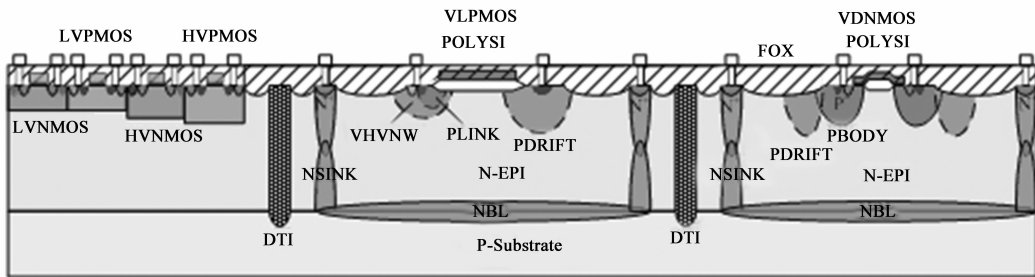


图1 整套HV-BCD高低压模块剖面图

tN型埋层注入
N型底部Sink1
N型外延生长
N型顶部Sink2
VHVNW阱
PDRIFT扩散区
PLINK连接区
有源区
深槽隔离结构
VHVTH阱
PBODY阱
HVPWELL高压阱
HVNWELL高压阱
LVPWELL低压阱
LVNWELL低压阱
多晶硅栅
N <sup>+</sup> /P <sup>+</sup> 源漏注入
自对准硅化物
接触孔
淀积金属
压焊区

图2 整套HV-BCD高压工艺流程图

在整套 HV-BCD 高压工艺中,实现高低压隔离的深槽工艺是关键所在.首先,深槽工艺采用频率交替变化的静电耦合等离子刻蚀,各向异性刻蚀出槽宽、槽深分别为  $1\mu\text{m}$  和  $16\mu\text{m}$  的深槽结构,并获得倾角约  $87^\circ$  侧壁和槽底部光滑的物理形貌,有效避免了电场在局部集中和击穿提前发生等现象.随后,采用了本文所提出的湿法腐蚀新工艺,替代常规的牺牲氧化工艺,可有效消

除因静电耦合等离子刻蚀高能量轰击所产生的损伤.消除深槽损伤新工艺是采用一定配比  $\text{HF}:\text{HNO}_3:\text{H}_2\text{O}$  混合溶液,在频率、温度严格控制在  $40\text{kHz}$ 、 $27^\circ\text{C}$  的超声仪中对已被掩蔽的深槽图形区域进行湿法腐蚀.因此,该新工艺的优点是在可控的室温环境短时间内消除深槽侧壁处的缺陷层,不但避免了缺陷在常规牺牲层高温氧化工艺中向硅体内快速移动,而且解决了常规牺牲层高温工艺因存在高温生长、腐蚀氧化层等而造成槽宽扩展,介质填充和平坦化困难等一系列后续问题.随后,剂量、能量分别为  $6 \times 10^{13}\text{cm}^{-2}$ 、 $35 \sim 40\text{keV}$  的硼杂质以  $30^\circ$  倾角对深槽侧壁进行离子注入并生长厚度为  $0.35\mu\text{m}$  氧化介质层,利用高温过程激活、驱入硼元素,形成环绕槽壁的 PN 结和获得自提取结终端.该结构优势在于既利用了二氧化硅介质层和 PN 结共同承担隔离高电压,还同时利用 PN 结构成了自提取结终端的双极 BC 结,可迅速提取 N 型外延/P 型衬底交界面处的过剩少数载流子,避免芯片处于开关工作状态下由  $di/dt$ 、 $dv/dt$  引发的失效现象.最后,多晶硅被填充深槽内并完成平坦化.图 3 给出了深槽结构的电场分布图.因采用有良好导电特性的多晶硅薄膜作为深槽填充物,深槽构成了悬浮电位的电极,电场分布均包围深槽.因此,反向耐压是由槽外侧 PN 结和槽内氧化介质层共同承担.

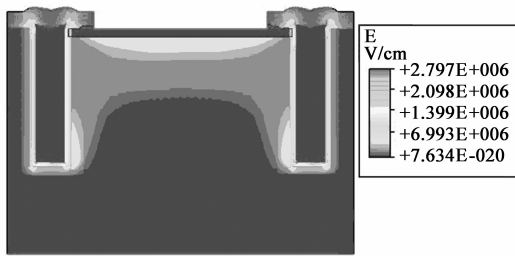


图3 自提取深槽耐压结构的电场分布

图 4 给出了 SEJTET、P-ISO 和 NSINKER 的 SEM 照片. 从图中可知, SEJTET 侧壁光滑, 侧壁倾角约为  $87^\circ$ . 此外, 槽宽仅为  $2\mu\text{m}$  便可与宽度为  $20\mu\text{m}$  的 P-ISO 隔离结构承受相同的反向电压. 因此, 采用 SEJTET 结构可大大提高芯片的集成度.

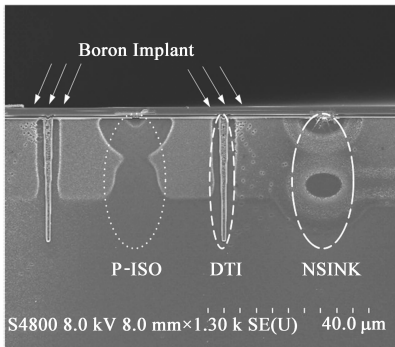
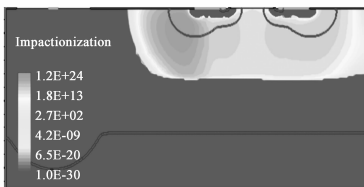
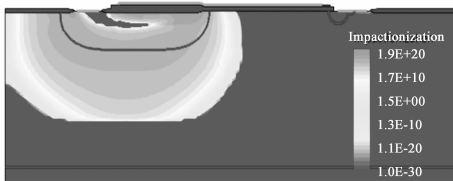


图4 SEJTET、PISO和NSINKER的SEM照片

VDMOS/LDPMOS 高压器件设计在本套高压工艺中是至关重要的. VDMOS 采用了 Double Resurf 耐压原理, 底部-顶部 Sinker 被作为器件漏极内部引线与 N 型埋层连接来降低该器件的导通电阻. 多晶硅栅是由位于 P-body 处增强型沟道/位于 VDMOS 颈部处耗尽型沟道的复合栅组成, 后者的多晶硅栅也是处于器件颈部场氧上来降低  $FOM = R_{on,sp} \times Q_g$ . 此外, 剂量、能量分别为  $2 \times 10^{12} \text{cm}^{-2}$ 、 $190 \sim 200 \text{keV}$  的磷杂质穿透器件颈部场氧, 以降低 VDMOS 器件的 JFET 效应. P-drift 耐压新



(a) VDMOS雪崩倍增分布图



(b) LDPMOS雪崩倍增分布图

图5 VDMOS和LDPMOS雪崩倍增分布图

结构被采用, 并结合多晶硅场板进一步优化表面电场. 在本文中, P-body 被精确优化设计, 来降低 Snap-back 效应和提高器件 SOA 性能. 作为高侧驱动应用的 LDPMOS 是采用场氧作为该器件栅氧. P-link 连接注入被采用作为多晶硅栅、源级两者之间的连接层避免电流通断. VHVNW 注入被优化设计来防止沟道穿通和调节阈值电压. 在 LDPMOS 耐压设计中, 与 VDMOS 共用的 P-drift 耐压结构和多晶硅场板被精确设计来释放该器件的表面电场. 图 5 (a)、(b) 分别给出了 VDMOS 和 LDPMOS 雪崩倍增分布图. 图 6 给出了 8 通道 EL 驱动芯片. 该芯片采用全桥驱动, 是由升压电路模块、电平偏移高压模块、桥式驱动模块等三部分组成. 升压模块是基于 PWM 脉宽调制, 采用多级电荷泵升压来逐步提升电压满足 EL 光源负载照明应用. 电平偏移高压模块是将电源高电压变换为栅极驱动高电压, 以驱动后级桥式驱动模块. 在桥式驱动模块中, VDMOS 器件栅宽被设计为  $240\mu\text{m}$ , 满足 EL 驱动要求.

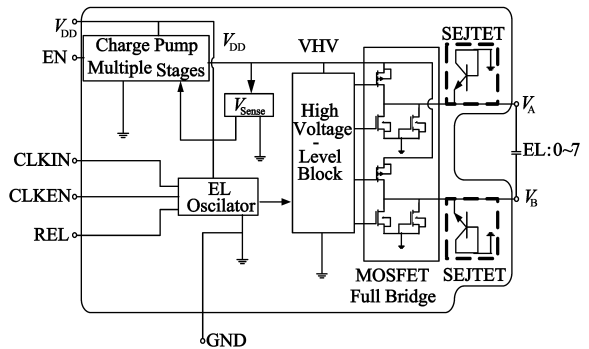


图6 EL驱动芯片电路架构图

### 3 结果和讨论

图 7 给出了 SEJTET、P-ISO 击穿测试结构. 槽宽为  $2\mu\text{m}$  的 SEJTET 隔离结构击穿特性明显优于 P-ISO 击穿特性, 前者击穿电压为  $160\text{V}$ , 比后者击穿电压高约  $20\text{V}$ , 且有更低的漏电流. 因此, SEJTET 隔离结构更符合 HV-BCD 高压功率集成技术的发展与应用.

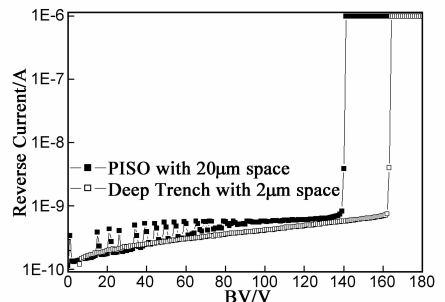


图7 SEJTET、PISO隔离结构的击穿电压

图 8 给出了 VDMOS 高压器件测试结构. 当器件

栅宽为  $120\mu\text{m}$  时, 阈值电压 ( $V_{\text{th}}$ ) 和正向导通电流 ( $I_{\text{forward}}$ ) 分别为  $1.35\text{V}$ 、 $26\text{mA}$ 。器件比导通电阻率  $R_{\text{on,sp}}$  在已报导的同类型号 VDNMOS 中是最低, 电阻值约为  $3\text{m}\Omega\cdot\text{cm}^{-2}$ 。另一方面, 栅宽为  $120\mu\text{m}$  的 LDPMOS 高压器件阈值电压 ( $V_{\text{th}}$ ) 和正向导通电流 ( $I_{\text{forward}}$ ) 分别为  $-20\text{V}$ 、 $3.5\text{mA}$ 。

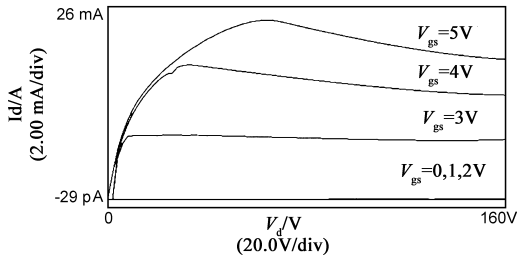


图8 栅宽 $120\mu\text{m}$ 的VDNMOS高压器件I-V测试

多数 EL 驱动芯片通常采用频率缓变的正弦信号作为电压控制信号, 来降低芯片出现闩锁现象发生几率。基于本文提出的集成自提取结终端 HV-BCD 整套高压工艺, 率先设计出采用 PWM 脉宽调制信号驱动的 EL 驱动芯片以提高工作效率。自提取结终端结构是在由 N 外延/P 衬底/深槽结构成的寄生 NPN 晶体管基础上利用金属引线实现的 BC 结短路 BJT 器件结构。图 9 给出了 EL 芯片的开关测试结果。芯片中一组 ELO 场致负载偏置于一对频率为  $400\text{Hz}$ 、相位相反且幅度为  $100\text{V}$  的电压信号对 ( $V_A$ ,  $V_B$ ), 此时信号上升时间、下降时间分别为  $145\text{ns}$ 、 $25\text{ns}$ 。另一方面,  $V_A$ 、 $V_B$  电压节点分别与 VDNMOS 高压器件漏极相连接。当  $V_A$  从  $100\text{V}$  迅速降低至  $0\text{V}$ , 因 ELO 场致负载呈容性,  $V_B$  将会在续流阶段出现  $-0.7\text{V}$  的负电位, 此时 N 外延/P 衬底 PN 结正向导通, 大量少数载流子集聚在 N 外延/P 衬底界面处。一旦  $V_A$ 、 $V_B$  处于  $V_{\text{DD}}$  正常工作状态, 与器件正向电流  $I_{\text{forward}}$  同量级的反向恢复电流  $I_{\text{recovery}}$  迅速被提取, 因此  $di/dt$  效应造成高压器件损坏。而基于 SEJTET 结构的寄生 NPN 晶体管 BC 短路结构恰好能把在续流阶段出现的少数载流子沿着深槽侧壁垂直向上迅速提取出来, 避免此类

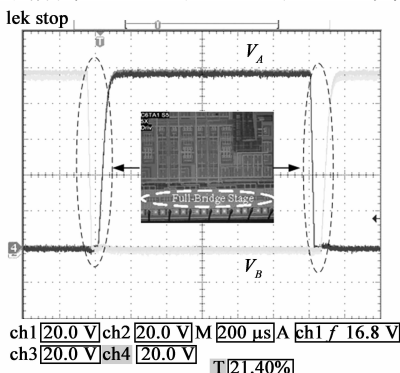


图9 EL 芯片的开关测试结果

载流子在 N 外延/P 衬底界面处堆积, 这也在根本上杜绝了全桥驱动模块无 EMMI 现象和热点 (hot spot) 发生<sup>[7]</sup>。

## 4 结论

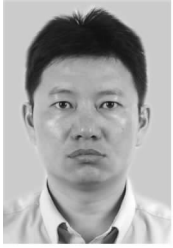
基于本文新开发的  $0.35\mu\text{m}$   $150\text{V}$  HV-BCD 整套硅基高压工艺设计出面向  $100\text{V}$  应用 EL 场致驱动芯片。该芯片集成了 SEJTET 耐压新结构、新结构 VDNMOS/LDPMOS 高压器件和全桥驱动模块等。实验结果表明, 高压器件和芯片的电学特性良好, 芯片集成度明显提高, 且成本明显低于高成本 SOI 高压芯片, 故有望被消费者接收。

致谢: 感谢中国电子科技集团公司第五十八研究所工艺实验室的全体人员

## 参考文献

- [1] Kim J, Roh T M, Kim S G, Song D W, Koo J G, Cho K I, Ma D S. High-voltage power integrated circuit technology using SOI for driving plasma display panels[J]. IEEE Transactions on Electron Devices, 2001, 28(1): 1256 - 1259.
- [2] Sun W F, Shi L X, Sun Z L, Yi Y B, Li H S, Lu S L. High voltage power IC technology with nVDMOS RESURF pLDMOS, and novel level-shift circuit for PDP scan-driver IC[J]. IEEE Transactions on Electron Devices, 2006, 53(4): 891 - 896.
- [3] 李晓明, 庄奕琪. 用于等离子驱动芯片的低成本 VDMOS 及其兼容 BCD 高压工艺[J]. 半导体学报, 2007, 28(11): 1679 - 1684.  
Li X M, Zhuang Y Q. Cost-Effective VDMOS and compatible process for PDP scan-driver IC[J]. Chinese Journal of Semiconductor, 2007, 28(11): 1679 - 1684. (in Chinese)
- [4] Theolier L, Mahfouz-kotb K I, Morancho F, Assie-Souleille S, Mauran N. A new junction termination using a deep trench filled with BenzoCycloButene[J]. IEEE Electron Device Letters, 2009, 30(6): 687 - 689.
- [5] Sun J M, Jiang F, Guan L P, Xiong Z B, Yan G Z, Sin J K O. A new isolation technology for automotive power-integrated-circuit application[J]. IEEE Transactions on Electron Devices, 2009, 56(9): 2144 - 2149.
- [6] 黄伟, 许居衍, 等. 一种利用夹层 Ta 难熔金属提高 NiSi 薄膜热稳定性的新方法[J]. 电子学报, 2011, 39(11): 2502 - 2506.  
Huang W, Xu J Y, et al. A thin tantalum interlayer on the thermal stability and electrical of NiSi film[J]. Acta Electronica Sinica, 2011, 39(11): 2502 - 2506. (in Chinese)
- [7] Sun W F, Yi Y B, Li H S, Shi L X. A novel latch-up protection for bulk-silicon scan driver ICs of shadow-mask plasma-display panel[J]. IEEE Electron Device Letters, 2007, 28(12): 1135 - 1137.

## 作者简介



**黄 伟** 男,高级工程师,分别于1998年、2006年在电子科技大学、北京大学获得工学学士和理学博士,并先后在香港科技大学电子与计算机系博士后流动站、摩托罗拉亚太研发中心(香港)、中国电子科技集团公司第五十八研究所博士后工作站等海内外研究机构从事氮化镓基电力电子芯片与硅基高压功率芯片工艺等项目开发.目前在中国电子科技集团公司第五十八研究所从事 HV-LED 半导体照明产品开发工作.

E-mail: huangw@pkd.org.cn



**胡南中** 男,工程师,于2004年在天津工业大学获得学士学位,现在中国电子科技集团公司第五十八研究所从事开关电源应用开发工作.



**李海鸥** 男,教授,2006年5月在中科院微电子所获得博士学位,2006年5月~2010年12月在香港科技大学从事博士后和访问学者研究工作.2011年1月加入桂林电子科技大学信息与通信学院.目前在中国电子科技集团公司第五十八研究所从事第二站博士后研究工作.

E-mail: seagull\_1228@hotmail.com